

LABORATORIO DE SISTEMAS DIGITALES

PRÁCTICA No. 9

Fecha: 10/07/2017-14/07/2017

Tema: FLIP-FLOPS

1. Objetivos:

Familiarizar al estudiante con el diseño de circuitos contadores.

2. Preparatorio

Implementación Física y Proteus

- I. Utilizando flip-flops J-K o tipo D, diseñar un contador asincrónico descendente módulo especificado en la tabla correspondiente a la parte práctica. Incluya el circuito de visualización en displays de ánodo común y el circuito de borrado manual que permita empezar en cero en cualquier momento.
- II. Diseñar un contador asincrónico ascendente, módulo especificado en la tabla correspondiente a la parte práctica, utilizando los contadores 7490, 7493. Incluya el circuito de visualización en displays de ánodo común y el circuito de borrado manual que permita empezar en cero en cualquier momento. (Si se considera conveniente se puede usar un flip flop JK o tipo D para las centenas)
- III. Utilizando flip-flops J-K o tipo D, diseñar un contador síncrono descendente, módulo especificado en la tabla correspondiente a la parte práctica. Incluya el circuito de visualización en displays de ánodo común y el circuito de borrado manual que permita empezar en cero en cualquier momento, en este ítem se debe presentar el siguiente análisis:
 - Diagrama de estados
 - Tabla de Estados
 - Asignación de estados
 - Tabla de comportamiento de la red secuencias síncrona (utilizando FF-JK)

Simulación Active HDL

- IV. Consultar en que consiste y como se realiza el barrido de display en VHDL.
- V. Elaborar el código en VHDL que permita un contador ascendente ($U=1$) y descendente ($U=0$) del módulo especificado en la tabla correspondiente a la parte práctica, el conteo debe ser mostrado por medio de una señal (signal) en BCD y como salidas se espera tener los 7 segmentos y las cuatro líneas de control que permitan conectar un Display Multiplexado (Realizar el código del Barrido). Adicionalmente se debe contar con una entrada Reset que permita reiniciar el conteo y una entrada Stop que detenga el conteo.

3. Parte Practica

Implementar los circuitos correspondientes a los ítems I, II, III del trabajo preparatorio y presentar la simulación del literal V en Active HDL, de acuerdo a la siguiente tabla.

Lunes	14	145	20	576
Martes	10	104	19	456
Miércoles	13	167	21	678
Jueves	11	187	26	590
Viernes	12	149	22	650

4. Informe

- I. Explicar las diferencias, en una hoja como mínimo, del diseño de contadores sincrónicos y asincrónicos.
- II. Determinar lo que haría para obtener una señal de reloj de 6 Hz, a partir de una señal de reloj generada por un cristal de 12 MHz.
- III. Se desea diseñar un contador binario que haga cuentas pares o impares bajo el control de una entrada U. Si $U=0$ la cuenta será: 0,2,4,6 y si $U=1$ la cuenta será: 1,3,5,7. Considerar que la entrada de control U sólo puede cambiar mientras el contador está en el estado más elevado de la cuenta par o impar. El paso de la cuenta impar a par (al ponerse $U=0$) se hará decrementando en una unidad al estado más alto de la cuenta impar. Por el contrario, el paso de la cuenta par a la impar (al ponerse $U=1$) se hará incrementando en una unidad el máximo estado par. Utilizar Flip Flops J-K disparados por el flanco de bajada con entradas asíncronas activas a nivel bajo para la inicialización. Presentar la simulación del circuito diseñado en el paquete computacional Proteus.
- IV. Investigar las ventajas de utilizar FPGA para la implementación de circuitos sincrónicos.

5. Conclusiones

6. Recomendaciones

BIBLIOGRAFÍA:

[1] TOCCI/WIDMER/MOSS. “Sistemas Digitales. Principios y Aplicaciones”. Prentice Hall. 10ma. Edición. 2007.

[2] TECHNISCHE UNIVERSITÄT CHEMNITZ, «VHDL-Online,» Technische Universität Chemnitz, [En línea]. Available: <https://www.vhdl-online.de>. [Último acceso: 7 6 2017].

Realizado por: Ing. Víctor Reyes. – Profesor Ocasional 2

Aprobado por: Ing. Ramiro Morejón – Jefe del Laboratorio de Sistemas Digitales