

CP - SISTEMAS DIGITALES

PRÁCTICA N°8

1. TEMA

MODELOS DE PROGRAMACIÓN CON VHDL

2. OBJETIVOS

- 2.1. Conocer conceptos básicos para la programación con VHDL.
- 2.2. Familiarizar a los estudiantes con el uso en VHDL - Quartus Lite.

3. TRABAJO PREPARATORIO

- 3.1. Explique la utilidad de los identificadores de VHDL (Constant, Variable, Signal).
- 3.2. Liste los tipos de objetos predefinidos más comunes en VHDL.
- 3.3. Consulte el uso de la sentencia INOUT dentro del lenguaje VHDL y para qué sirve su utilización.
- 3.4. Explique el funcionamiento y la utilización de la Sentencia process.
- 3.5. Crear el código VHDL (usando arquitectura flujo de datos) de una entidad demultiplexor 1 a 8 cuya salida activa tenga el valor de 1L mientras las demás salidas toman el valor de 0L. Presentar su simulación.
- 3.6. Diseñe un circuito combinacional usando mapas de Karnaugh que permita la conversión de un número binario de 4 bits a su correspondiente número expresado en BCD. Cree el código VHDL y presente su simulación.
- 3.7. Diseñe un circuito combinacional usando mapas de Karnaugh que permita la conversión de un número BCD a su correspondiente representación en 7segmentos, el funcionamiento debe ser similar al de los circuitos integrados 7447 y 7448. Cree el código VHDL y presente su simulación.

4. EQUIPO Y MATERIALES

- Materiales del Laboratorio: (Estos materiales y equipos se proveen por el laboratorio)
 - Computadora
 - Tarjeta de desarrollo RZ-EasyFPGA Cyclone IV

- Cada grupo debe traer:
 - o 1 Protoboard
 - o Cables para protoboard
 - o Leds
 - o Dip switch
 - o Demás elementos para armar los circuitos pedidos en el punto 3.5, 3.6 y 3.7.

5. PROCEDIMIENTO

- 5.1. Implementar dos de los diseños correspondientes a los ítems 3.5, 3.6 y 3.7 del trabajo preparatorio en la tarjeta de desarrollo, traer los elementos necesarios para ello. (debe tomar máximo 1 hora y 20 de la práctica para este punto).
- 5.2. Explicación por parte del instructor sobre la arquitectura funcional por medio de un ejemplo.

6. INFORME

- 6.1. Cree el código VHDL que permita realizar un barrido de displays (tomar en cuenta que se utilizará este código dentro de la tarjeta de desarrollo Easy-RZ FPGA por lo que se debe considerar la manera de conexión de los displays para realizar este código. (Use la arquitectura funcional). Comentar el código de tal manera que sea fácilmente entendible y simularlo.
- 6.2. Consulte sobre las diferentes normas de utilización del comando 'wait'.
- 6.3. Indique 3 diferencias en el funcionamiento de las señales locales y variables en VHDL.
- 6.4. Conclusiones.
- 6.5. Recomendaciones.

7. REFERENCIAS

- [1] TOCCI/WIDMER/MOSS. "Sistemas Digitales. Principios y Aplicaciones". Prentice Hall. 10ma. Edición. 2007.
- [2] NOVILLO CARLOS A., "Sistemas Digitales" Quito, Escuela Politécnica Nacional, 2010.
- [3] MAXIMEZ DAVID, "VHDL El arte de programar sistemas digitales", Editorial Continental, 2002.

Elaborado por: Víctor Reyes

Revisado por: Ing. Ramiro Morejon, MSc./ Jefe de Laboratorio